

TRACER CIRCUIT

Patent number: JP6019742
Publication date: 1994-01-28
Inventor: INOUE YUMIKO
Applicant: KOFU NIPPON DENKI KK
Classification:
- international: G06F11/28; G06F11/34
- european:
Application number: JP19920197868 19920701
Priority number(s): JP19920197868 19920701

[View INPADOC patent family](#)

Abstract of JP6019742

PURPOSE: To improve the analysis efficiency of data by suppressing the update of an address instruction means instructing a write address to a tracer memory when trace data which are continuously inputted are continuously judged to be the same. **CONSTITUTION:** A comparison circuit 5 compares trace data 100 with output data 101 of a write data register 1, and outputs a coincidence signal 104 showing the compared result to a flip flop 6 and a suppression circuit 7. The suppression circuit 7 ANDs the coincidence signal 104 showing the compared result of the comparison circuit 5 and the output signal 105 of the flip flop 6. When the coincidence signal 104 and the output signal 105 are '1', the suppression circuit 7 sets a suppression signal 106 to '1'. When the suppression signal from the suppression circuit 7 is '1', an address register 4 suppresses the update of a write/read address 103 to the tracer memory 2.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-19742

(43) 公開日 平成6年(1994)1月28日

(51) Int.Cl.⁵

G 0 6 F 11/28
11/34

識別記号

3 1 0 B 9290-5B
C 9290-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出願番号

特願平4-197868

(22) 出願日

平成4年(1992)7月1日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 井上 夕美子

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

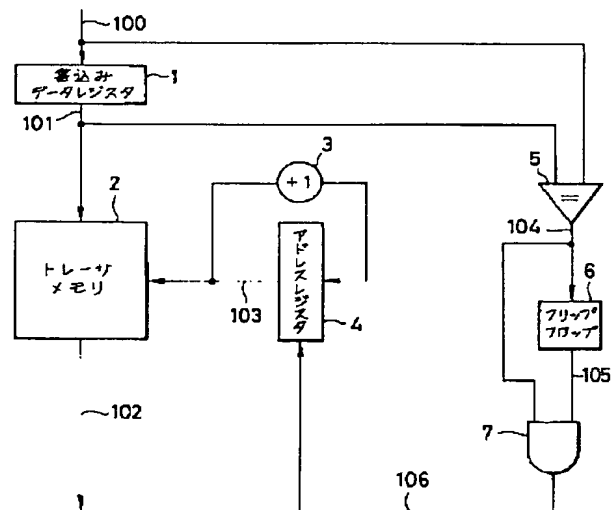
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 トレーサ回路

(57) 【要約】

【目的】 データの解析効率を向上させる。

【構成】 比較回路5はトレースデータ100と書き込みデータレジスタ1の出力データ101とを比較し、その比較結果を示す一致信号104をフリップフロップ6と抑止回路7とに夫々出力する。抑止回路7は比較回路5の比較結果を示す一致信号104と、フリップフロップ6の出力信号105との論理積をとる。抑止回路7は一致信号104と出力信号105とがともに“1”のときに、抑止信号106を“1”とする。アドレスレジスタ4は抑止回路7からの抑止信号106が“1”のときに、トレーサメモリ2への書き込み読出しアドレス103の更新を抑止する。



1

【特許請求の範囲】

【請求項1】 トレースデータを格納するトレースメモリと、前記トレースメモリに書き込みアドレスを指示するアドレス指示手段とを有するトレース回路であって、連続して入力されるトレースデータが同一か否かを判定する判定手段と、前記判定手段で同一と連続して判定されたときに前記アドレス指示手段の更新を抑止する抑止手段とを設けたことを特徴とするトレース回路。

【請求項2】 トレースデータを格納するトレースメモリと、前記トレースメモリに書き込みアドレスを指示するアドレス指示手段とを有するトレース回路であって、連続して入力されるトレースデータが同一か否かを判定する判定手段と、前記判定手段で同一と判定されたときに前記アドレス指示手段の更新を抑止する抑止手段と、前記抑止手段によって前記アドレス指示手段の更新が抑止された回数を計数する計数手段と、前記抑止手段によって更新が抑止されたアドレス指示手段が指示するアドレスに前記計数手段の計数値を書込む書き込み手段とを設けたことを特徴とするトレース回路。

【発明の詳細な説明】

【0001】

【技術分野】 本発明はトレース回路に関し、特にトレースデータを格納する書き込みデータレジスタと、トレースメモリと、トレースメモリに対して書き込み読出しアドレスを指示するアドレスレジスタとを備えるトレース回路に関する。

【0002】

【従来技術】 従来、トレース回路においては、装置動作に伴う状態データの履歴をクロック毎にトレースメモリに格納している。

【0003】 このような従来のトレース回路では、同一データが何クロックも連続するような条件が現れた場合に、トレースメモリ上に同一データが何度も書込まれ、トレースメモリがそのデータで占められてしまい、有効なデータがとれなくなることがある。この問題を解決するために、同一データが連続したときにその同一データのトレースメモリへの書き込みを抑止するような方法がとられている。

【0004】 しかしながら、トレースメモリへの書き込みをすべて抑止してしまうと、トレースメモリのデータの読出し時に同一データが連続したか、あるいは何回連続したかを知ることができず、解析効率が悪くなるという問題がある。

【0005】

【発明の目的】 本発明は上記のような従来のものの問題点を除去すべくされたもので、データの解析効率を向上させることができるトレース回路の提供を目的とする。

【0006】

【発明の構成】 本発明によるトレース回路は、トレース

2

データを格納するトレースメモリと、前記トレースメモリに書き込みアドレスを指示するアドレス指示手段とを有するトレース回路であって、連続して入力されるトレースデータが同一か否かを判定する判定手段と、前記判定手段で同一と連続して判定されたときに前記アドレス指示手段の更新を抑止する抑止手段とを設けたことを特徴とする。

【0007】 本発明による他のトレース回路は、トレースデータを格納するトレースメモリと、前記トレースメモリに書き込みアドレスを指示するアドレス指示手段とを有するトレース回路であって、連続して入力されるトレースデータが同一か否かを判定する判定手段と、前記判定手段で同一と判定されたときに前記アドレス指示手段の更新を抑止する抑止手段と、前記抑止手段によって前記アドレス指示手段の更新が抑止された回数を計数する計数手段と、前記抑止手段によって更新が抑止されたアドレス指示手段が指示するアドレスに前記計数手段の計数値を書込む書き込み手段とを設けたことを特徴とする。

【0008】

20 【実施例】 次に、本発明について図面を参照して説明する。

【0009】 図1は本発明の一実施例の構成を示すブロック図である。図において、書き込みデータレジスタ1はトレースデータ100を一旦格納し、次のクロックサイクルで出力データ101をトレースメモリ2に出力して書込む。トレースメモリ2に格納されたデータはトレースデータ102として出力される。

30 【0010】 アドレスレジスタ4はトレースメモリ2に対して書き込み読出しアドレス103を供給する。アドレスレジスタ4の書き込み読出しアドレス103は抑止回路7からの抑止信号106が立っていないければ、クロック毎に加算器3によって+1ずつカウントアップされる。

【0011】 比較回路5はトレースデータ100と書き込みデータレジスタ1の出力データ101とを比較し、その比較結果を示す一致信号104をフリップフロップ6と抑止回路7とに夫々出力する。比較回路5で一致が検出されて一致信号104が立つと、フリップフロップ6には“1”が格納される。また、比較回路5で不一致が検出されて一致信号104が立たなければ、フリップフロップ6には“0”が格納される。

【0012】 抑止回路7はアンドゲートからなり、次クロックサイクルにおけるトレースデータ100と書き込みデータレジスタ1の出力データ101との比較回路5での比較結果を示す一致信号104と、フリップフロップ6の出力信号105との論理積をとる。

【0013】 抑止回路7は一致信号104と出力信号105とがともに“1”のときに、抑止信号106を“1”とする。また、抑止回路7は一致信号104と出力信号105とのうちどちらかの信号、あるいは両方の信号が“0”のときに抑止信号106を“0”とする。

3

【0014】アドレスレジスタ4は抑止回路7からの抑止信号106が“1”のときに、トレースメモリ2への書き込み読出しアドレス103の更新を抑止する。すなわち、同一のトレースデータ100が3回以上連続して入力されると、アドレスレジスタ4の内容の更新が抑止回路7からの抑止信号106によって抑止される。

【0015】図2は本発明の一実施例の動作を示す図である。図においては、同一データ“A”が3回連続する場合の同一データ“A”のトレースメモリ2への格納例を示している。

【0016】ここで、アドレスレジスタ4の0クロックサイクル目の書き込み読出しアドレス103を“a-1”とし、フリップフロップ6の1クロックサイクル目の出力信号105を“0”とする。

【0017】1クロックサイクル目、トレースデータ100には“A”が入力され、データレジスタ1の出力データ101としてデータ“Z”が出力される。よって、比較回路5はそれらデータの不一致を検出し、一致信号104として“0”を出力するので、フリップフロップ6に“0”が格納される。

【0018】抑止回路7は比較回路5の一致信号104およびフリップフロップ6の出力信号105がともに“0”なので、抑止信号106として“0”を出力する。よって、アドレスレジスタ4の内容は加算器3によって更新されるので、2クロックサイクル目にトレースメモリ2のアドレス“a”にデータ“A”が格納される。尚、1クロックサイクル目にはトレースメモリ2のアドレス“a-1”に0クロックサイクル目に入力されたデータ“Z”が格納される。

【0019】2クロックサイクル目、トレースデータ100およびデータレジスタ1の出力データ101がともにデータ“A”となる。よって、比較回路5はそれらデータの一致を検出し、一致信号104として“1”を出力するので、フリップフロップ6に“1”が格納される。

【0020】抑止回路7には比較回路5の一致信号104として“1”が、フリップフロップ6の出力信号105として“0”が入力されるので、抑止信号106として“0”を出力する。よって、アドレスレジスタ4の内容は加算器3によって更新されるので、3クロックサイクル目にトレースメモリ2のアドレス“a+1”にデータ“A”が格納される。

【0021】3クロックサイクル目、2クロックサイクル目と同様に、トレースデータ100およびデータレジスタ1の出力データ101ともにデータ“A”となる。よって、比較回路5はそれらデータの一致を検出し、一致信号104として“1”を出力するので、フリップフロップ6に“1”が格納される。

【0022】抑止回路7には比較回路5の一致信号104およびフリップフロップ6の出力信号105としてと

4

もに“1”が入力されるので、抑止信号106として“1”を出力する。よって、アドレスレジスタ4の内容は加算器3によって更新されことなく、4クロックサイクル目にトレースメモリ2のアドレス“a+1”にデータ“A”が格納される。

【0023】4クロックサイクル目、トレースデータ100には“B”が入力され、データレジスタ1の出力データ101としてデータ“A”が出力される。よって、比較回路5はそれらデータの不一致を検出し、一致信号104として“0”を出力するので、フリップフロップ6に“0”が格納される。

【0024】抑止回路7は比較回路5の一致信号104として“0”が、フリップフロップ6の出力信号105として“1”が入力されるので、抑止信号106として“0”を出力する。よって、アドレスレジスタ4の内容は加算器3によって更新されるので、5クロックサイクル目にトレースメモリ2のアドレス“a+2”にデータ“B”が格納される。

【0025】上記のように、トレースメモリ2のアドレス“a+1”においては、2クロックサイクル目にトレースデータ100として入力したデータ“A”の上に、3クロックサイクル目にトレースデータ100として入力した同一データのデータ“A”が重ねて格納される。

【0026】よって、1クロックサイクル目から3クロックサイクル目までにトレースデータ100として同一のデータ“A”が3回連続して入力されても、トレースメモリ2にはアドレス“a”および“a+1”にデータ“A”が格納されるだけで、データ“A”が3回連続して異なるアドレスに格納されることはない。

【0027】図3は本発明の他の実施例の構成を示すブロック図である。図において、本発明の他の実施例はフリップフロップ8と、カウンタ9と、選択回路10とを設けた以外は図1に示す本発明の一実施例と同様の構成となっており、同一構成要素には同一符号を付してある。また、それら同一構成要素の動作も本発明の一実施例と同様である。

【0028】カウンタ9は抑止回路7からの抑止信号106が“0”のときにリセットされ、抑止信号106が“1”のときに+1ずつカウントを行う。すなわち、カウンタ9は抑止回路7の抑止信号106が立っている回数をカウントし、その計数値108を選択回路10に出力する。

【0029】選択回路10は抑止回路7の抑止信号106を保持するフリップフロップ8の出力信号107が“0”のときに書き込みデータレジスタ1の出力データ101を選択し、フリップフロップ8の出力信号107が“1”のときにカウンタ9の計数値108を選択してトレースメモリ2への入力データ109とする。

【0030】図4は本発明の他の実施例の動作を示す図である。図においては、図2と同様に、同一データ

10

20

30

40

50

5

“A”が3回連続する場合の同一データ“A”のトレースメモリ2への格納例を示している。

【0031】3クロックサイクル目に抑止回路7の抑止信号106が“1”になると、カウンタ9の計数値108は+1されて“1”となる。このとき、フリップフロップ8にも“1”が格納される。

【0032】4クロックサイクル目に、フリップフロップ8の出力信号107が“1”になると、選択回路11はカウンタ9の計数値108をトレースメモリ2の入力データ109とする。よって、トレースメモリ2のアド
10 レス“a+1”にデータ“1”が格納される。

【0033】5クロックサイクル目に、フリップフロップ8の出力信号107が“0”となるので、選択回路11は書き込みデータレジスタ1の出力データ101をトレースメモリ2の入力データ109とする。よって、トレースメモリ2のアドレス“a+2”には連続したデータ
10 “A”の次のデータ“B”が格納される。

【0034】ここで、カウンタ9の計数値108はトレースメモリ2の同一アドレスに何回データが格納されたのかを表している。本実施例では、アドレス“a”にデータ“A”が、アドレス“a+1”に“1”が格納されて
20 いるので、トレースデータ“A”が3回連続したことを示している。

【0035】尚、カウンタ9の計数値108は“0”から始まっているので、“0”は1回を表している。すなわち、トレースデータ“A”がN回連続する場合、トレースメモリ2にはアドレス“a”にデータ“A”が、アドレス“a+1”にカウンタ9の計数値108として
30 “N-2”が格納される。この後、アドレス“a+2”には連続したデータ“A”の次のデータ“B”が格納される。

【0036】このように、比較回路5で連続して入力されるトレースデータが同一であることが検出されたときに、抑止回路7からの抑止信号106によってアドレスレジスタ4の値の更新を抑止することによって、同一データでトレースメモリ2上が占められることなく、同一データが連続したことを知ることができる。よって、トレースメモリ2に格納されたデータの解析効率を向上させることができる。

【0037】また、比較回路5で連続して入力されるト
40

6

レースデータが同一であることが検出されたときに、抑止回路7からの抑止信号106によってアドレスレジスタ4の値の更新を抑止し、このアドレスレジスタ4の値の更新を抑止した回数を計数するカウンタ9の計数値108をトレースメモリ2に書き込むことによって、同一データでトレースメモリ2上が占められることはなく、同一データが何回連続したかを知ることができる。よって、トレースメモリ2に格納されたデータの解析効率を向上させることができる。

【0038】

【発明の効果】以上説明したように本発明のトレース回路によれば、連続して入力されるトレースデータが同一と連続して判定されたときに、トレースメモリに書き込みアドレスを指示するアドレス指示手段の更新を抑止することによって、データの解析効率を向上させることができるという効果がある。

【0039】また、本発明の他のトレース回路によれば、連続して入力されるトレースデータが同一と判定されたときに、トレースメモリに書き込みアドレスを指示するアドレス指示手段の更新を抑止し、アドレス指示手段の更新が抑止された回数をアドレス指示手段が指示するアドレスに書き込むことによって、データの解析効率を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の一実施例の動作を示す図である。

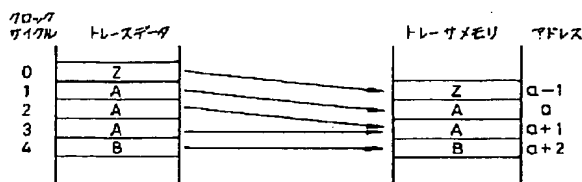
【図3】本発明の他の実施例の構成を示すブロック図である。

【図4】本発明の他の実施例の動作を示す図である。

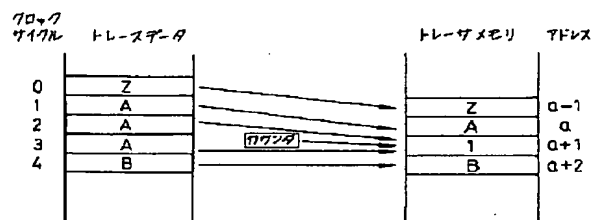
【符号の説明】

- 1 書き込みデータレジスタ
- 2 トレースメモリ
- 4 アドレスレジスタ
- 5 比較回路
- 6, 8 フリップフロップ
- 7 抑止回路
- 9 カウンタ
- 10 選択回路

【図2】



【図4】



[illegible]